

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07283076 A**

(43) Date of publication of application: **27.10.95**

(51) Int. Cl

**H01G 4/33**

**H01G 4/12**

**// H03H 9/145**

(21) Application number: **06077445**

(22) Date of filing: **15.04.94**

(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT>**

(72) Inventor: **TOYODA KAZUHIKO  
TOKUMITSU TSUNEO**

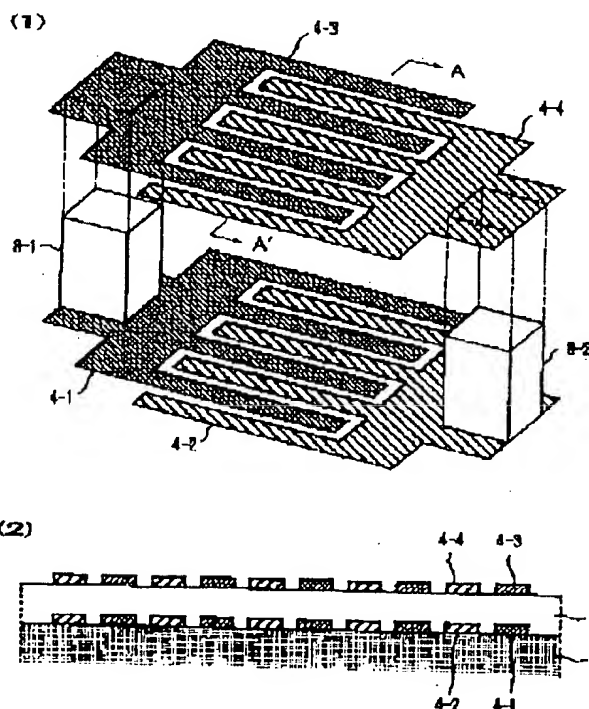
**(54) CAPACITOR**

**(57) Abstract:**

**PURPOSE:** To realize a high capacitance corresponding to the number of parallel lines by laminating a plurality of interdigital capacitors, each comprising a combination of first and second pectinated conductors, through dielectric films and then connecting the interdigital capacitors in parallel.

**CONSTITUTION:** First and second pectinated conductors 4-1, 4-2 are formed while being interdigitated on a substrate 1 and a dielectric film 7 is formed thereon. Third and fourth pectinated conductors 4-3, 4-4 are then formed thereon while being interdigitated. The pectinated conductors are interconnected through through holes 8-1, 8-2 thus connecting the upper and lower interdigital capacitors in parallel. This structure realizes high capacitance easily without increasing the area as compared with a conventional interdigital capacitor.

**COPYRIGHT: (C)1995,JPO**



**BEST AVAILABLE COPY**

**THIS PAGE BLANK (USPTO)**

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07283076  
PUBLICATION DATE : 27-10-95

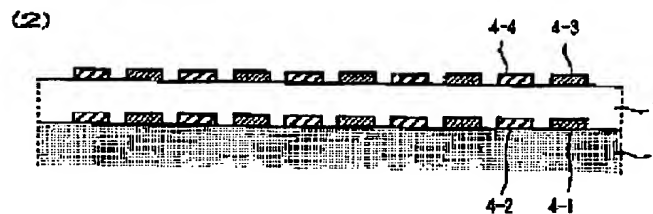
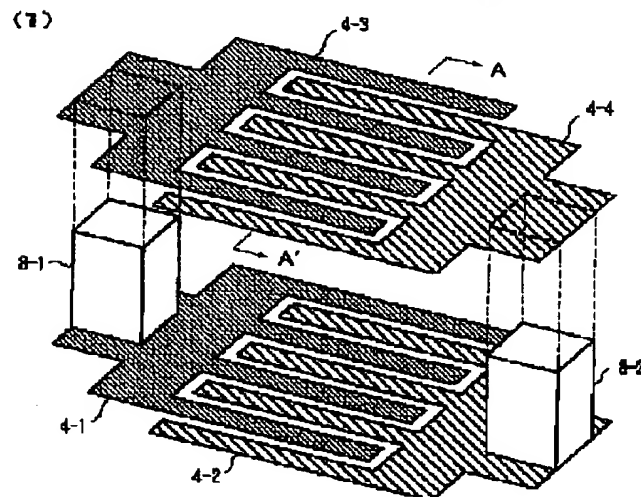
APPLICATION DATE : 15-04-94  
APPLICATION NUMBER : 06077445

APPLICANT : NIPPON TELEGR & TELEPH CORP  
<NTT>;

INVENTOR : TOKUMITSU TSUNEO;

INT.CL. : H01G 4/33 H01G 4/12 // H03H 9/145

TITLE : CAPACITOR



ABSTRACT : PURPOSE: To realize a high capacitance corresponding to the number of parallel lines by laminating a plurality of interdigital capacitors, each comprising a combination of first and second pectinated conductors, through dielectric films and then connecting the interdigital capacitors in parallel.

CONSTITUTION: First and second pectinated conductors 4-1, 4-2 are formed while being interdigitated on a substrate 1 and a dielectric film 7 is formed thereon. Third and fourth pectinated conductors 4-3, 4-4 are then formed thereon while being interdigitated. The pectinated conductors are interconnected through through holes 8-1, 8-2 thus connecting the upper and lower interdigital capacitors in parallel. This structure realizes high capacitance easily without increasing the area as compared with a conventional interdigital capacitor.

COPYRIGHT: (C)1995,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283076

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 G 4/33

4/12

3 9 1

// H 0 3 H 9/145

D 7259-5 J

9174-5 E

H 0 1 G 4/ 06

1 0 2

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平6-77445

(22) 出願日

平成6年(1994)4月15日

(71) 出願人

000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者

豊田 一彦

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者

徳満 恒雄

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人

弁理士 古谷 史旺

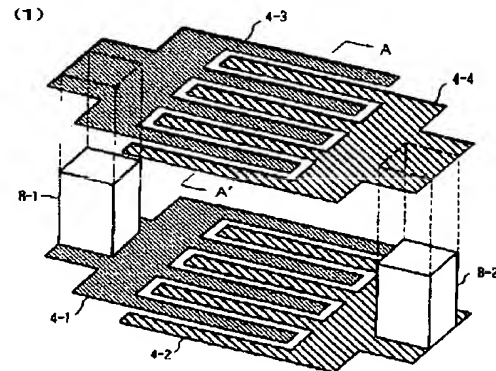
(54) 【発明の名称】 キャパシタ

(57) 【要約】

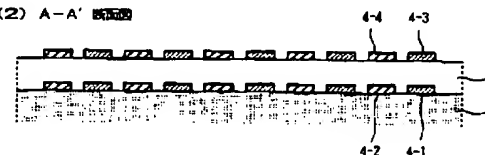
【目的】 例えば1GHz以上の高周波信号を扱う集積回路に搭載されるキャパシタに関し、高い容量精度が得られるインターディジタルキャパシタの特徴を活かし、さらに面積を大きくすることなく容量を大きくすることができ、また多層型MMICや誘電体多層基板を用いた集積回路に適する構造を実現する。

【構成】 第1の櫛形導体と第2の櫛形導体を互いに組み合わせたインターディジタルキャパシタを誘電体膜を介して複数個重ねて形成し、各インターディジタルキャパシタを並列に接続する。

本発明のキャパシタの第1実施例の構成



(2) A-A'



## 【特許請求の範囲】

【請求項1】 第1の櫛形導体と第2の櫛形導体を互いに組み合わせたインターディジタルキャパシタを誘電体膜を介して複数個重ねて形成し、各インターディジタルキャパシタを並列に接続した構成であることを特徴とするキャパシタ。

【請求項2】 請求項1に記載のキャパシタにおいて、上下に位置するインターディジタルキャパシタの第1の櫛形導体の各細線導体が互いに重なり、また第2の櫛形導体の各細線導体が互いに重なるように形成された構成であることを特徴とするキャパシタ。

【請求項3】 請求項1に記載のキャパシタにおいて、上下に位置するインターディジタルキャパシタの第1の櫛形導体の各細線導体と第2の櫛形導体の各細線導体が互いに重なるように形成された構成であることを特徴とするキャパシタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば1GHz以上の高周波信号を扱う集積回路に搭載されるキャパシタに関する。

【0002】

【従来の技術】 図7は、従来の薄膜キャパシタの構成例を示す。(1)は平面図であり、(2)は(1)のA-A'線における断面図である。

【0003】 図において、半導体または誘電体の基板1上に第1の平板導体2-1が形成され、その上に薄い誘電体膜3が形成され、さらにその上に第2の平板導体2-2が形成される。第1の平板導体2-1と第2の平板導体2-2は誘電体膜3を介して対向し、キャパシタの電極として作用する。本構成では、誘電体膜3を薄く形成することにより、小さな面積で大きな容量のキャパシタを実現することができる。

【0004】 図8は、従来のインターディジタルキャパシタの構成例を示す。(1)は平面図であり、(2)は(1)のA-A'線における断面図である。図において、半導体または誘電体の基板1上に、第1の櫛形導体4-1および第2の櫛形導体4-2が互いに組み合うように形成される。第1の櫛形導体4-1の各細線導体と第2の櫛形導体4-2の各細線導体はそれぞれ対向し、キャパシタの電極として作用する。本構成では、小さな容量のキャパシタを精度よく、かつ簡単に製作することができる。

【0005】

【発明が解決しようとする課題】 高周波回路を構成する場合には、回路に直列に挿入するキャパシタの容量は比較的小さなものが必要となる。薄い誘電体膜を挟んで2枚の平板導体を対向させた従来の薄膜キャパシタで0.5pF以下の小さな容量を実現しようすると、平板導体の面積を非常に小さくしなければならない。しかし、従

来の薄膜キャパシタでは平板導体の端部のフリンジングの効果が大きく、精度のよいキャパシタを形成することができなかった。

【0006】 また、このような構造では、図9(1)に示すように製造過程で下側の第1の平板導体2-1の端部にバリ5が生じるとキャパシタの電極が短絡しやすくなり、信頼性が低下することがあった。この問題を解決するためには、従来は図9(2)に示すように上側の第2の平板導体2-2が下側の第1の平板導体2-1の端部と交差する位置にブリッジ6を設けている。しかし、このブリッジ6を形成するには誘電体膜3の一部を厚くする処理を行うことになるが、このときブリッジ6の高さ、形状、角度などを精密に制御することが困難であった。また、ブリッジ6の部分における平板導体間の距離が他の部分と異なることになる。このようなことからエッジ部容量が不確定となり、キャパシタ容量の精度を高めることができなかった。

【0007】 一方、従来のインターディジタルキャパシタでは、誘電体膜を用いないのでバリなどによる短絡の心配はない。しかし、対向する電極の面積が小さいので、その容量は1mm長の電極1本あたり0.05pFから0.1pF程度と非常に小さいものであった。したがって、容量を大きくする場合には、各電極の幅を大きくするか櫛形導体の数を増やす必要があり、全体の面積が大きくなる問題があった。

【0008】 本発明は、高い容量精度が得られるインターディジタルキャパシタの特徴を活かし、さらに面積を大きくすることなく容量を大きくすることができ、また多層型MMICや誘電体多層基板を用いた集積回路に適する構造のキャパシタを提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、第1の櫛形導体と第2の櫛形導体を互いに組み合わせたインターディジタルキャパシタを誘電体膜を介して複数個重ねて形成し、各インターディジタルキャパシタを並列に接続した構成である。

【0010】 また、本発明の構成において、上下に位置するインターディジタルキャパシタの第1の櫛形導体の各細線導体が互いに重なり、また第2の櫛形導体の各細線導体が互いに重なるように形成されたことを特徴とする。

【0011】 また、本発明の構成において、上下に位置するインターディジタルキャパシタの第1の櫛形導体の各細線導体と第2の櫛形導体の各細線導体が互いに重なるように形成されたことを特徴とする。

【0012】

【作用】 本発明のキャパシタは、各インターディジタルキャパシタの第1の櫛形導体が第1の電極として作用し、第2の櫛形導体が第2の電極として作用する並列構造になっている。したがって、各インターディジタルキ



ャパシタの容量は小さくとも、並列数に応じた大きな容量を面積を大きくすることなく実現することができる。

【0013】また、上下に位置するインターディジタルキャパシタの第1の櫛形導体の各細線導体と第2の櫛形導体の各細線導体を互いに重ねることにより、上下方向の第1の櫛形導体と第2の櫛形導体との間にもキャパシタが形成される。これにより、複数のインターディジタルキャパシタを単純に並列接続した以上の大きな容量を実現することができる。

【0014】また、本発明のキャパシタは、多層型MMICや誘電体多層基板による集積回路と構造的な整合性がよく、これらの集積回路内に容易に形成することができる。

【0015】また、各インターディジタルキャパシタ間の誘電体膜の厚さを例えば1～5μm程度にすれば、製造過程で生じるバリ等による短絡を防ぐことができ、信頼性を高めることができる。また、各誘電体膜の厚さを調整することにより、キャパシタの容量を変えることができる。

【0016】

【実施例】図1は、本発明のキャパシタの第1実施例の構成を示す（請求項2）。(1)は斜視図であり、(2)は(1)のA-A'線における断面図である。なお、図8に示す従来のインターディジタルキャパシタと同等の機能を果たすものは同一符号を付している。

【0017】図において、半導体または誘電体の基板1上に第1の櫛形導体4-1および第2の櫛形導体4-2が互いに組み合わせるように形成され、その上に厚さが例えば1～5μm程度の誘電体膜7が形成される。さらに、誘電体膜7上に第3の櫛形導体4-3および第4の櫛形導体4-4が互いに組み合わせるように形成される。このとき、第1の櫛形導体4-1の各細線導体と第3の櫛形導体4-3の各細線導体が重なり、第2の櫛形導体4-2の各細線導体と第4の櫛形導体4-4の各細線導体が重なるように形成される。第1の櫛形導体4-1と第3の櫛形導体4-3は誘電体膜7に設けたスルーホール8-1を介して接続され、第2の櫛形導体4-2と第4の櫛形導体4-4は誘電体膜7に設けたスルーホール8-2を介して接続される。なお、図1(1)では、基板1および誘電体膜7は省略されている。

【0018】このような構造では、第1の櫛形導体4-1と第2の櫛形導体4-2からなるインターディジタルキャパシタと、第3の櫛形導体4-3と第4の櫛形導体4-4からなるインターディジタルキャパシタが並列に接続されることになる。このようなキャパシタは、従来のインターディジタルキャパシタと比較して、面積を大きくすることなく容易に大きな容量を実現することができる。なお、本実施例では2層構造のものを示したが、3層以上に構成することにより並列数に応じた容量増加を図ることができる。

【0019】図2は、本発明のキャパシタの第2実施例の構成を示す（請求項3）。(1)は斜視図であり、(2)は(1)のA-A'線における断面図である。なお、図1に示す第1実施例と同等の機能を果たすものは同一符号を付している。

【0020】図において、半導体または誘電体の基板1上に第1の櫛形導体4-1および第2の櫛形導体4-2が互いに組み合わせるように形成され、その上に厚さが例えば1～5μm程度の誘電体膜7が形成される。さらに、誘電体膜7上に第3の櫛形導体4-3および第4の櫛形導体4-4が互いに組み合わせるように形成される。ここで、第1の櫛形導体4-1の各細線導体と第4の櫛形導体4-4の各細線導体が重なり、第2の櫛形導体4-2の各細線導体と第3の櫛形導体4-3の各細線導体が重なるように形成される。第1の櫛形導体4-1と第3の櫛形導体4-3は誘電体膜7に設けたスルーホール8-1を介して接続され、第2の櫛形導体4-2と第4の櫛形導体4-4は誘電体膜7に設けたスルーホール8-2を介して接続される。なお、図2(1)では、基板1および誘電体膜7は省略されている。

【0021】このような構造では、第1の櫛形導体4-1と第2の櫛形導体4-2からなるインターディジタルキャパシタと、第3の櫛形導体4-3と第4の櫛形導体4-4からなるインターディジタルキャパシタが並列に接続されることになる。さらに、第1の櫛形導体4-1と第4の櫛形導体4-4、第2の櫛形導体4-2と第3の櫛形導体4-3の各細線導体が対向してキャパシタが形成される。これにより、平面的なインターディジタルキャパシタの並列接続による容量と、上下方向に対向する櫛形導体間に形成されるキャパシタの容量が合算される。したがって、複数のインターディジタルキャパシタを単純に並列接続した第1実施例の構成以上の大きな容量を実現することができる。

【0022】なお、本実施例は2組のインターディジタルキャパシタで第1の電極となる櫛形導体(4-1, 4-3)と、第2の電極となる櫛形導体(4-4, 4-2)が完全に重なるようになっているが、一方のインターディジタルキャパシタを水平方向にずらして形成することにより、キャパシタの容量を調整することができる。なお、誘電体膜7の厚さを変えても同様にキャパシタの容量を調整することができる。

【0023】ここで、従来のインターディジタルキャパシタ、第1実施例のキャパシタ、第2実施例のキャパシタにおいて、各櫛形導体の櫛の数Nと容量C(pF)との関係について計算した結果を図6に示す。なお、計算結果では、キャパシタのSパラメータを電磁界解析により解析し、理想的なキャパシタとしてフィッティングして求めたものである。計算条件は、

基板1の誘電率	12.6
誘電体膜7の誘電率	3.3

誘電体膜7の厚さ  $2\mu\text{m}$   
 櫛形導体4の細線導体(櫛)の幅  $4\mu\text{m}$   
 櫛形導体4の細線導体(櫛)の間隔  $2\mu\text{m}$   
 櫛形導体4の細線導体(櫛)の長さ  $50\mu\text{m}$

である。図に示すように、従来構成に対して、第1実施例の構成では2倍程度の容量、第2実施例の構成では3倍程度の容量を同一の面積で実現できることがわかる。

【0024】図3は、本発明のキャパシタの第3実施例の構成を示す(請求項3)。(1)は斜視図であり、(2)は(1)のA-A'線における断面図である。なお、図1および図2に示す実施例と同等の機能を果たすものは同一符号を付している。

【0025】図において、半導体または誘電体の基板1上に第1の櫛形導体4-1および第2の櫛形導体4-2が互いに組み合うように形成され、その上に第1の誘電体膜7-1が形成される。さらに、第1の誘電体膜7-1上に第3の櫛形導体4-3および第4の櫛形導体4-4が互いに組み合うように形成され、その上に第2の誘電体膜7-2が形成される。さらに、第2の誘電体膜7-2上に第5の櫛形導体4-5および第6の櫛形導体4-6が互いに組み合うように形成される。ここで、第1の櫛形導体4-1、第4の櫛形導体4-4、第5の櫛形導体4-5の各細線導体が重なり、第2の櫛形導体4-2、第3の櫛形導体4-3、第6の櫛形導体4-6の各細線導体が重なるように形成される。

【0026】第1の櫛形導体4-1と第3の櫛形導体4-3および第2の櫛形導体4-2と第4の櫛形導体4-4は、それぞれ第1の誘電体膜7-1に設けたスルーホール8-1、8-2を介して接続される。また、第3の櫛形導体4-3と第5の櫛形導体4-5および第4の櫛形導体4-4と第6の櫛形導体4-6は、それぞれ第2の誘電体膜7-2に設けたスルーホール8-3、8-4を介して接続される。なお、図2(1)では、基板1、誘電体膜7-1、7-2は省略されている。

【0027】このような構造では、各層のインターディジタルキャパシタが並列に接続されるとともに、第2実施例と同様に上下方向に形成されるキャパシタによる容量増加を図ることができる。なお、本実施例の構成では、第2実施例の構成以上の大きな容量を実現することができる。

【0028】なお、本実施例では3層構造のものを示したが、4層以上に構成することにより並列数に応じた容量増加を図ることができる。また、第1実施例の構成と第2実施例の構成を組み合わせると3層構造以上にしてもよい。

【0029】図4は、本発明のキャパシタの第4実施例の構成を示す断面図である。なお、本実施例は第1実施例の構成に適用したものであるが、第2実施例あるいは第3実施例の構成にも同様に適用することができる。

【0030】本実施例の特徴は、基板1と第1のインタ

ーディジタルキャパシタ(第1の櫛形導体4-1、第2の櫛形導体4-2)との間に、誘電体膜7-3を形成したところにある。本実施例の構成においても同様にキャパシタの容量を大きくすることができるが、特に誘電体膜7-3により第1のインターディジタルキャパシタの容量を大きくして全体の容量増大を図ることができる。

【0031】図5は、本発明のキャパシタの第5実施例の構成を示す断面図である。なお、本実施例は第1実施例の構成に適用したものであるが、第2実施例あるいは第3実施例の構成にも同様に適用することができる。

【0032】本実施例の特徴は、基板1と第1のインターディジタルキャパシタ(第1の櫛形導体4-1、第2の櫛形導体4-2)との間に誘電体膜7-3を形成し、さらに第2のインターディジタルキャパシタ(第3の櫛形導体4-3、第4の櫛形導体4-4)の上に誘電体膜7-4を形成したところにある。本実施例の構成においても同様にキャパシタの容量を大きくすることができるが、特に誘電体膜7-4により第2のインターディジタルキャパシタの容量を大きくして全体の容量増大を図ることができる。

【0033】本発明のキャパシタは、各実施例に示すように複数のインターディジタルキャパシタを上下方向に配置して並列接続した構成である。したがって、多層型MMICや誘電体多層基板による集積回路と構造的な整合性がよく、これらの集積回路の層間に容易に形成することができる。

【0034】

【発明の効果】以上説明したように本発明は、複数のインターディジタルキャパシタを並列接続した構成であり、各インターディジタルキャパシタの容量は小さくとも、並列数に応じた大きな容量を面積を大きくすることなく実現することができる。

【0035】また、上下に位置するインターディジタルキャパシタで第1の電極となる櫛形導体と第2の電極となる櫛形導体を重ねることにより、上下方向にもキャパシタが形成され、複数のインターディジタルキャパシタを単純に並列接続した以上の大きな容量を実現することができる。

【0036】また、各層のインターディジタルキャパシタの間に形成される誘電体膜の厚さを十分にとることにより、製造過程で生じるバリ等による短絡を防ぐことができ、信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明のキャパシタの第1実施例の構成を示す図。

【図2】本発明のキャパシタの第2実施例の構成を示す図。

【図3】本発明のキャパシタの第3実施例の構成を示す図。

【図4】本発明のキャパシタの第4実施例の構成を示す

図。

【図5】本発明のキャパシタの第5実施例の構成を示す図。

【図6】本発明による容量増加の効果を計算した結果を示す図。

【図7】従来の薄膜キャパシタの構成例を示す図。

【図8】従来のインターディジタルキャパシタの構成例を示す図。

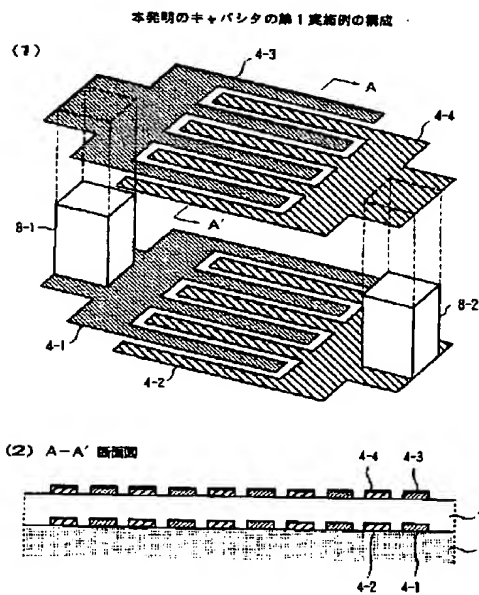
【図9】従来の薄膜キャパシタの問題点および解決法を

示す図。

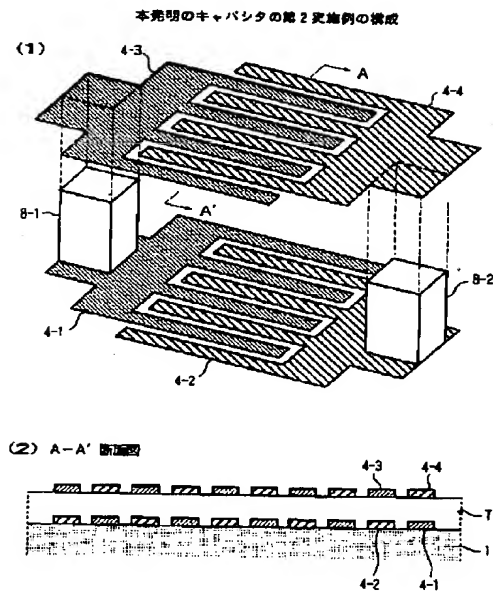
【符号の説明】

- 1 基板
- 2 平板導体
- 3, 7 誘電体膜
- 4 櫛形導体
- 5 パリ
- 6 ブリッジ
- 8 スルーホール

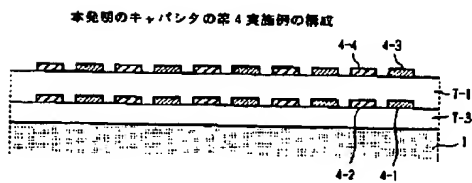
【図1】



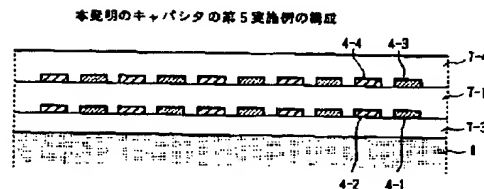
【図2】



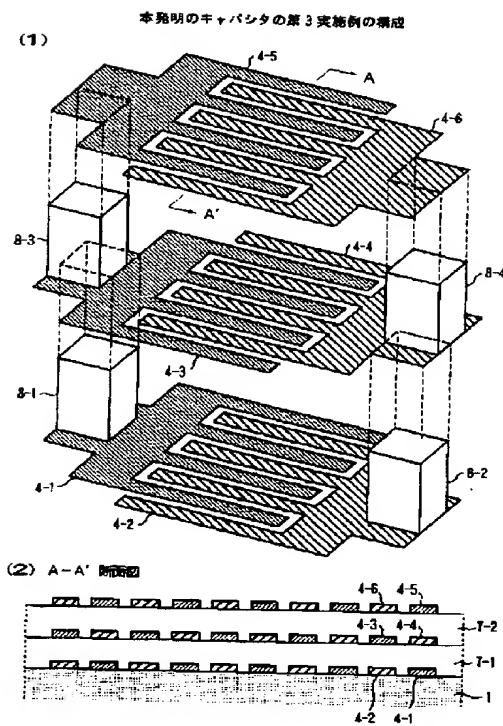
【図4】



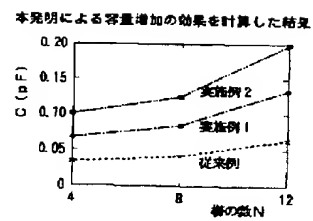
【図5】



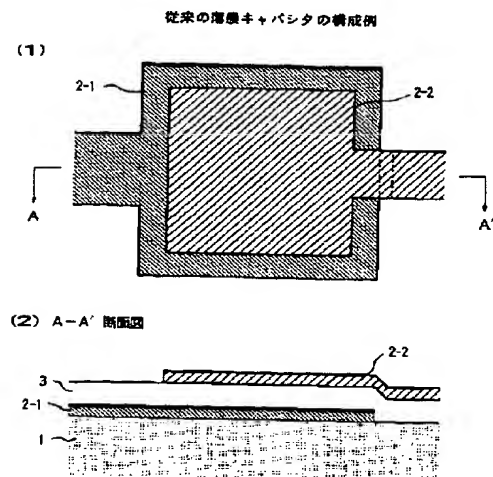
【図3】



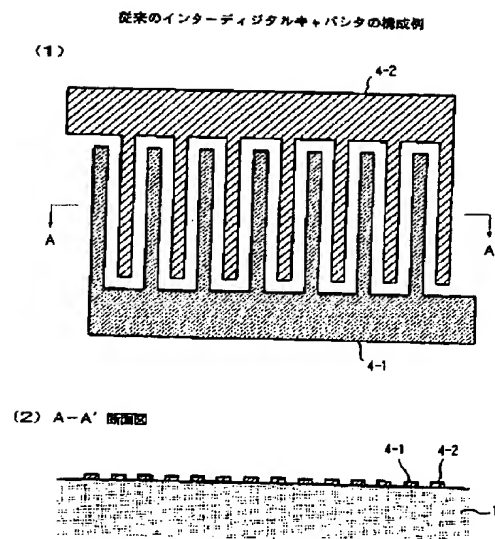
【図6】



【図7】



【図8】



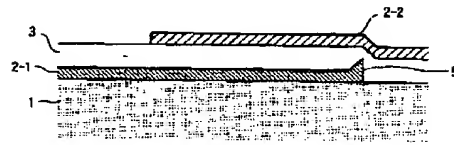
(7)

特開平7-283076

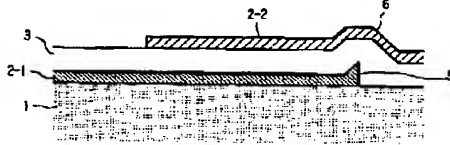
【図9】

従来の層状キャパシタの問題点および解決法を示す図

(1)



(2)



**THIS PAGE BLANK (USPTO)**